

# Verilog-HDL

対面のみ・演習付き・2日間

## デジタル論理回路設計（基礎編）

2024年 10月31日(木)～ 11月1日(金) 9:00～17:00

講師 福岡大学 工学部 電子情報工学科 助教 橋本 浩二 氏

組み合わせ回路 回路記述 順序回路 フリップフロップ カウンタ回路

- ・ シミュレータを使用した例題を中心にVerilog-HDLの基本的な文法を学び、組み合わせ回路および順序回路の基本的な記述ノウハウを習得します。Verilog-HDLを使った機能モジュールの設計ができ、論理合成によって得られる回路図との整合が取れるレベルを2日間で目指します。
- ・ Verilog-HDLを使ったデジタル回路設計の基本を身につけたい方、組み合わせ回路や順序回路などのデジタル回路の基本を理解されている方、『デジタル論理回路の基礎』を受講済みか同等レベルの方が対象です。
- ・ Verilogシミュレータ (ModelSim-Altera) とFPGAシミュレータ (Quartus II WebEdition) をインストールしたPCとFPGA開発ボード (Altera DE-1) を使って演習をします。これら演習環境は会場に準備しております。

開催日 2024年10月31日(木)～11月1日(金) 9:00～17:00 (2日間)

受講料 税込 44,000円 福岡県内中小企業の方には、受講料補助制度があります

対面受講会場

開催形態 対面 演習付き

福岡システムLSI  
総合開発センター  
2階 講義室  
福岡市早良区百道浜3-8-33

定員 対面15名

- 演習に使用するPC・教材は会場に準備しております
- 申込みには、「ふくおかIST e-learning」への会員登録が必要です
- お支払い後、当日の参加有無にかかわらず返金はいたしません。
- 福岡県内中小企業の方には、受講料補助制度があります
- 講座当日、紙テキスト、pdfテキスト(コピー・印刷不可、コメント追加可)を配布します  
なおテキストの無断転載・複製等は禁止しています
- 特段の事情が発生した場合、やむを得ず中止又は延期する場合がございます



お申込み方法 - お申込み期間は 9月2日 (月) 9:00 から 10月28日 (月) 17:00 まで -



下記HPより「Verilog-HDL デジタル論理回路設計(基礎編)」をお申込みください  
<https://e-learning.ist-college.org/contents/category/seminar-live>

ふくおかIST e-learning 検索 ➡ 「講座・セミナー等申込」をクリック

【本講座に関するお問い合わせ】 公益財団法人 福岡県産業・科学技術振興財団 福岡半導体リスティングセンター 担当:高倉  
e-mail : reskilling\_contact@ist.or.jp TEL : 092-822-1550



この講座でお使いいただけます！

福岡県内中小企業の方は

(消費税及び地方消費税を除く)  
受講料 **全額補助!!**

補助には条件がございます。  
お申込みの前に福岡半導体リスティングセンターのホームページより、申請要領・交付要綱をご確認ください。  
「ふくおかIST e-learning」の講座申込画面からもリンクでジャンプできます。